

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-130258

(43)公開日 平成8年(1996)5月21日

(51)Int.Cl.⁶

H 0 1 L 21/8247
29/788
29/792

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/ 78 3 7 1

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21)出願番号 特願平6-267733

(22)出願日 平成6年(1994)10月31日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 西原 利幸

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

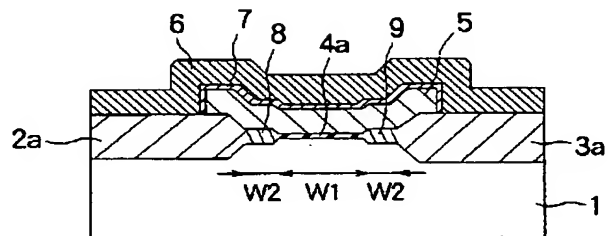
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 半導体不揮発性メモリ素子

(57)【要約】

【目的】カップリングレシオの変動を抑止でき、書き込み、消去特性のばらつきを防止できる半導体不揮発性メモリ素子を実現する。

【構成】ゲート絶縁膜の厚さをチャンネル幅方向に対してその中央部で薄くなるように第1のゲート絶縁膜4aを形成するとともに、両端部で厚くなるように、第2のゲート絶縁膜8、9を形成した構造とする。これにより、バースピークによるカップリングレシオの変動を抑止でき、安定した書き込み消去特性を確保できる。



1

【特許請求の範囲】

【請求項 1】 ゲート絶縁膜を介してチャネルと浮遊ゲート間の電荷の授受を行う半導体不揮発性メモリ素子であって、

上記ゲート絶縁膜の厚さをチャネル幅方向に対してその中央部で薄く、両端部で厚くした構造を有する半導体不揮発性メモリ素子。

【請求項 2】 中央の薄い絶縁膜を介して浮遊ゲートへの電荷の引き抜きもしくは注入を行う請求項 1 記載の半導体不揮発性メモリ素子。

【請求項 3】 ソース配線を対応するビット線ごとに分離した構造を有し、チャネル全面を用いた FN トンネリングによる浮遊ゲートに対する電荷の注入でデータ書き込みを行う請求項 2 記載の半導体不揮発性メモリ素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、フラッシュメモリ等の半導体不揮発性メモリ素子に係り、特にメモリセルの構造に関するものである。

【0002】

$$V_1 = V_W \cdot C_2 / (C_1 + C_2)$$

ここで、 C_1 は浮遊ゲート 5 と基板 1 間の容量、 C_2 は浮遊ゲート 5 とワード線 6 間の容量をそれぞれ表している。また、一般に、 $C_2 / (C_1 + C_2)$ はカップリングレシオと呼ばれる。

【0005】

【発明が解決しようとする課題】ところで、上述したように、チャネル幅 W_{CH} がフィールド酸化膜 2、3 で決定される場合、LOCOS 法のバースピークにより設計寸法と出来上がり寸法との間に変換差が生じるが、この値は通常のレジストパターニングに比べて非常にばらつきが大きい。すなわち、チャネル幅 W_{CH} のばらつきには、通常のパターニング時のばらつきにバースピークのばらつきが追加される。このチャネル幅 W_{CH} のばらつきは、浮遊ゲート 5 と基板 1 間の容量 C_1 のばらつきとなってカップリングレシオを変動させる。そのため、上述したメモリトランジスタでは、ゲート酸化膜 4 に加わる電位もばらついてしまい、注入電荷量に大きな変動が生じてしまう。

【0006】上述の問題は、FN (Fowler-Nordheim) トンネリングでチャネルと浮遊ゲート 5 間で電荷のやりとりを行う場合特に顕著な障害となる。その結果、消去および書き込み時のメモリトランジスタのしきい値が不安定になるという問題があった。

【0007】また、不揮発性メモリセルとして、ビット線ごとに対応するソース線を分離する分離ソース型メモリセルが提案されている。このセルによれば、チャネル全面を用いた電子注入による書き込みが可能になり、ゲート酸化膜の信頼性を向上させ得ることが知られている

(たとえば、1992 年 5 月号「NIKKEI MICRODEVICES」p4

2

*【従来の技術】近年、携帯用情報端末機器の普及発展に伴って、その外部記憶装置として大容量フラッシュメモリの必要性が高まっている。

【0003】ところで、フラッシュメモリのメモリトランジスタはチャネル幅方向に図 4 に示すような断面構造を有している。図 4 において、1 は半導体基板、2、3 はフィールド酸化膜、4 はゲート酸化膜、5 は浮遊ゲート、6 はワード線 (制御ゲート)、7 は層間絶縁膜、 W_{CH} はチャネル幅をそれぞれ示している。このメモリトランジスタは、基板 1 上に通常の LOCOS 法により、厚さがたとえば 4000 オングストロームのフィールド酸化膜 2、3 が形成され、そのチャネル幅 W_{CH} はこれらフィールド酸化膜 2、3 によって決定される。

【0004】このような構成を有するメモリトランジスタにおいて、浮遊ゲート 5 への電荷の注入は、ワード線 6 に高電圧を加えることで浮遊ゲート 5 より下層に対向するように形成されたゲート絶縁膜 4 に強い電界をかけることにより行われる。浮遊ゲート 5 に電荷が未注入の時、ワード線 6 に電圧 V_W を印加した場合、ゲート絶縁膜 4 にかかる電圧 V_1 は、次式で与えられる。

$$\dots (1)$$

5 ~p50 参照)。

【0008】図 5 は、従来の分離ソース型メモリセルの構成例を示すレイアウト図である。図 5 において、11 がワード線、12 が拡散層、13 がビット線、14 がソース線、15 がビット線 13 へのコンタクト、16 がソース線 14 へのコンタクトをそれぞれ示しており、このメモリセルでは、ビット線 13 とソース線 14 とがワード線 11 と垂直な方向に並設されている。

【0009】しかし、この従来のメモリセルでは、ワード線 11 と拡散層 12 の合わせずれで、メモリトランジスタのゲート幅が図 6 に示すように変動してしまうという問題があった。これにより、カップリングレシオが変動し、書き込み消去特性が大きくばらついてしまう。

【0010】本発明は、かかる事情に鑑みてなされたものであり、その目的は、カップリングレシオの変動を抑止でき、書き込み、消去特性のばらつきを防止できる半導体不揮発性メモリ素子を提供することにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体不揮発性メモリ素子は、メモリトランジスタのゲート絶縁膜の厚さをチャネル幅方向に対してその中央部で薄く、両端部で厚くした構造を有する。

【0012】また、本発明に半導体不揮発性メモリ素子では、中央の薄い絶縁膜を介して浮遊ゲートへの電荷の引き抜きもしくは注入を行う。また、ソース配線を対応するビット線ごとに分離した構造を有し、チャネル全面を用いた FN トンネリングによる浮遊ゲートに対する電荷の注入でデータ書き込みを行う。

【0013】

* 20

30

40

50

3

【作用】本発明の半導体不揮発性メモリ素子によれば、フィールド絶縁膜近傍のゲート絶縁膜厚を中央部のゲート絶縁膜厚より選択的に厚くすることで、バースピークによるカップリングレシオの変動が大幅に低減される。また、分離ソース線を用いたメモリセルにおいては、拡散層のレイアウトが容易となる。

【0014】

【実施例】図1は、本発明に係る半導体不揮発性メモリ素子の一実施例を示す図で、メモリトランジスタにおけるチャンネル幅方向の断面図であって、従来例を示す図と同一構成部分は同一符号をもって表す。すなわち、1は半導体基板、2a、3aはフィールド酸化膜、4aは第1のゲート酸化膜、5は浮遊ゲート、6はワード線（制御ゲート）、7は層間絶縁膜、8、9は第2のゲート酸化膜をそれぞれ示している。

$$C1 = (L \cdot W1 \cdot \epsilon_{ox} / 8E-3) + (L \cdot 2W2 \cdot \epsilon_{ox} / 4E-2) \quad \dots (2)$$

このときLはメモリトランジスタのゲート長、 ϵ_{ox} はゲート絶縁膜の誘電率をそれぞれ表している。

【0017】ここで、バースピークのばらつきが片側に※20

$$\Delta C1 = L \cdot 2 \Delta W \cdot \epsilon_{ox} / 4E-2 \quad \dots (3)$$

したがって、その変化率は、次のようになる。

$$\Delta C1 / C1 = 2 \Delta W / (5W1 + 2W2) \quad \dots (4)$$

【0018】一方、図4に示す従来のメモリトランジスタでは、厚さ8nmのゲート酸化膜4のみでチャンネルが★

$$C1' = L \cdot W1 \cdot \epsilon_{ox} / 8E-3 \quad \dots (5)$$

そして、その容量C1'の変化量 $\Delta C1'$ は、次のよう★なる

$$\Delta C1' = L \cdot 2 \Delta W \cdot \epsilon_{ox} / 8E-3 \quad \dots (6)$$

したがって、その変化率は、次のようになる。

$$\Delta C1' / C1' = 2 \Delta W / W1 \quad \dots (7)$$

【0019】上記(4)および(7)式からわかるように、本発明の採用によりバースピークによるカップリングレシオの変動を抑えることができ、安定した書き込み消去特性を確保できる。

【0020】次に、図1のメモリトランジスタの製造方法について、図2を参照しつつ説明する。図2(a)に示すように、まず、LOCOS法で基板1上にフィールド酸化膜2a、3aを形成する。次に、図2(b)に示すように、全面に熱酸化処理により、シリコン酸化膜8aを36nm成長させる。次いで、図2(c)に示すように、チャンネル中央部の酸化膜をマスクを用いてフッ酸で選択的に除去し、シリコン基板表面1aを露出させる。次に、図2(d)に示すように、全面にもう一度熱酸化膜8nmを成長させる。これにより、チャンネル端部に膜厚40nmの厚い第2の酸化膜8、9が、チャンネル中央部に膜厚8nmの薄い第1の酸化膜4aが形成される。そして、図2(e)に示すように、たとえばポリシリコンからなる浮遊ゲート5、SiO₂とSiNの積層膜よりなる薄い層間絶縁膜7、ポリシリコンからなる制御ゲート（ワード線）6を順次形成する。このように、

4

*【0015】本メモリトランジスタは、ゲート酸化膜の厚さがチャンネル幅方向に対してその中央部で薄くなるように、膜厚8nmの第1のゲート絶縁膜4aが形成されているとともに、両端部で厚くなるように、膜厚40nmの第2のゲート絶縁膜8、9が形成された構造を有し、中央の膜厚の薄い第1の絶縁膜4aを介して浮遊ゲート5への電荷の引き抜きもしくは注入が行われる。このような構成により、バースピークによるカップリングレシオの変動を抑止でき、安定した書き込み消去特性を確保できる。以下に、その理由について説明する。

【0016】本構成において、中央に位置する第1のゲート絶縁膜4aの幅をW1、端部側の第2のゲート絶縁膜8、9の幅を共にW2とすると、浮遊ゲート5と基板1間の容量C1は、次式で与えられる。

※ついで ΔW だけ発生したとすると、浮遊ゲート5と基板1間の容量C1の変化量 $\Delta C1$ は、次式で与えられる。

★形成されるため、上述と同様の見積を行うと、浮遊ゲート5と基板1間の容量C1'は、次式で与えられる。

★なる

本実施例によるメモリトランジスタは、チャンネル幅をLOCOS法に基づくフィールド酸化膜によって決定するのではなく、パターニングにより決定している。

【0021】なお、製造方法については、上述した方法に限定されるものではなく、たとえばゲート酸化膜のパターニングにおいて、ナイトライド(SiN)を用い、等方性エッチングに伴うセルフアラインによるなど、種々の態様が可能である。この方法によれば、マスクを1枚削減でき、あわせずれがなくなる等の利点がある。

【0022】以上説明したように、本実施例によれば、ゲート絶縁膜の厚さをチャンネル幅方向に対してその中央部で薄くなるように、膜厚8nmの第1のゲート絶縁膜4aを形成するとともに、両端部で厚くなるように、膜厚40nmの第2のゲート絶縁膜8、9を形成した構造としての、バースピークによるカップリングレシオの変動を抑えることができ、安定した書き込み消去特性を確保できる利点がある。

【0023】なお、本発明は、電荷の注入方法にホットエレクトロンを利用するかFNトンネリングを利用するかにかかわらず、浮遊ゲートに電荷を蓄積することで

5

ータを保持する全ての不揮発性メモリに適用可能である。しかし、特にゲート酸化膜を介したFNTトンネリングで電荷をやりとりする場合には有効である。その場合、電荷はチャンネル部中央の薄い膜を通して注入、排出されることになる。

【0024】また、分離ソース型メモリセルに本発明を組み合わせれば、そのレイアウトは非常に容易になる。図3に、本発明を適用した分離ソース型メモリセルのレイアウトを示す。図3において、11はワード線、12aは拡散層、13はビット線、14はソース線、15はビット線コンタクト、16はソース線コンタクト、17は薄いゲート酸化膜領域をそれぞれ示している。

【0025】カップリングレシオを決定する主要因となる薄いゲート酸化膜領域17が単純なストライプ状に形成されているため、あわせずれが起きてもカップリングレシオはほとんど変化しない。したがって、安定した書き込み、消去特性を得ることができる。

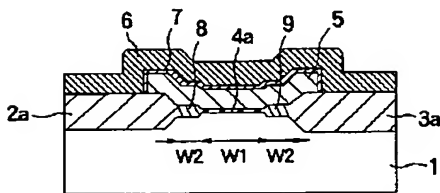
【0026】

【発明の効果】以上説明したように、本発明の半導体不揮発性メモリ素子によれば、カップリングレシオのばらつきを防止でき、書き込み、消去特性のばらつきを防止できる利点がある。また、あわせずれが起きてもカップリングレシオがほとんど変化せず、安定した書き込み、消去特性を得ることができる。

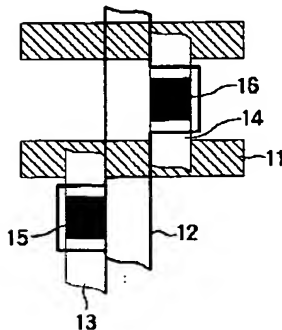
【図面の簡単な説明】

【図1】本発明に係る半導体不揮発性メモリ素子の一実*

【図1】



【図5】



6

*施例を示す断面図である。

【図2】図1のメモリトランジスタの製造方法を説明するための図である。

【図3】本発明を適用した分離ソース型メモリセルのレイアウトを示す図である。

【図4】従来の半導体不揮発性メモリ素子のチャンネル幅方向の断面図である。

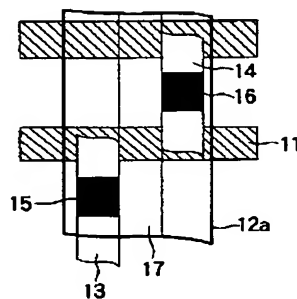
【図5】従来の分離ソース型メモリセルのレイアウトを示す図である。

【図6】従来のメモリセルにおいて合わせずれが発生した場合の説明図である。

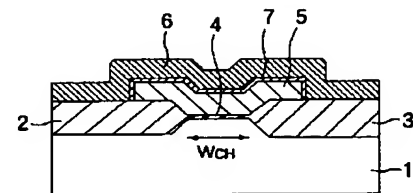
【符号の説明】

- 1…半導体基板
- 2a, 3a…フィールド酸化膜
- 4a…第1のゲート酸化膜
- 5…浮遊ゲート
- 6…ワード線（制御ゲート）
- 7…層間絶縁膜
- 8, 9…第2のゲート酸化膜
- 11…ワード線
- 12a…拡散層
- 13…ビット線
- 14…ソース線
- 15…ビット線コンタクト
- 16…ソース線コンタクト
- 17…薄いゲート酸化膜領域

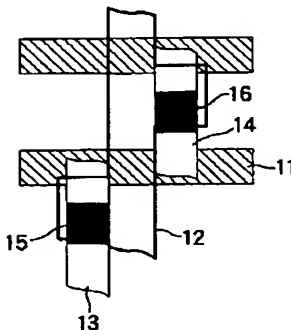
【図3】



【図4】



【図6】



【図 2】

